



KEMENTERIAN PENDIDIKAN DAN KEBUDAYAAN  
UNIVERSITAS BRAWIJAYA  
FAKULTAS TEKNIK  
JURUSAN TEKNIK ELEKTRO  
Jalan MT Haryono 167 Telp & Fax. 0341 554166 Malang 65145

**KODE  
PJ-01**

**PENGESAHAN  
PUBLIKASI HASIL PENELITIAN SKRIPSI  
JURUSAN TEKNIK ELEKTRO  
FAKULTAS TEKNIK UNIVERSITAS BRAWIJAYA**

**NAMA : ERNY ANUGRAHANY**  
**NIM : 105060300111030 - 63**  
**PROGRAM STUDI : TEKNIK ELEKTRONIKA**  
**JUDUL SKRIPSI : PERANCANGAN 8 BIT MULTIPLEKSER DAN DEMULTIPLEKSER DALAM  
SATU IC DENGAN TEKNOLOGI *HIGH SPEED* CMOS**

**TELAH DI-REVIEW DAN DISETUJUI ISINYA OLEH:**

Pembimbing 1

Pembimbing 2

**Ir. M. Julius, St.,MS**  
**NIP. 19540720 198203 1 002**

**Dr.-Ing Onny Setyawati, ST.,MT.,MSc**  
**NIP. 19740417 200003 2 007**

**PERANCANGAN 8 BIT MULTIPLEXER DAN DEMULTIPLEXER DALAM SATU  
IC DENGAN TEKNOLOGI *HIGH SPEED* CMOS**

**PUBLIKASI JURNAL SKRIPSI**

Diajukan untuk memenuhi persyaratan  
memperoleh gelar Sarjana Teknik



Disusun oleh:

**ERNY ANUGRAHANY**

**NIM.105060300111030-63**

**KEMENTERIAN PENDIDIKAN NASIONAL**

**UNIVERSITAS BRAWIJAYA**

**FAKULTAS TEKNIK**

**MALANG**

**2014**

# Perancangan 8 Bit Multiplexer dan Demultiplexer dalam Satu IC dengan Teknologi *High Speed* CMOS

Erny Anugrahany, M. Julius, Onny Setyawati

Teknik Elektro Universitas Brawijaya

Jalan M.T Haryono No.167 Malang 65145 Indonesia

Email : [erny.anugrahany@gmail.com](mailto:erny.anugrahany@gmail.com)

**Abstract** - The purpose of this research was to analyse and design 8bit Multiplexer and Demultiplexer in a single IC using High Speed CMOS technology. This circuit simulated by *B<sup>2</sup>Spice* in  $C_L=5\text{pF}$ ,  $K_N=45\mu\text{A/V}^2$  and  $K_P=18\mu\text{A/V}^2$ . The VTC simulation resulted  $V_{IH}=2.805\text{V}$ ;  $V_{IL}=2.695\text{V}$ ;  $V_{OH}=5\text{V}$ ;  $V_{OL}=0\text{V}$ ;  $N_{MH}=2.195\text{V}$  and  $N_{ML}=2.695\text{V}$ . Propagation delay on multiplexer active condition had  $t_{PLH}=3.16\text{ns}$ ,  $t_{PHL}=1\text{ns}$ , and  $t_{PD}=2.08\text{ns}$ . Then on demultiplexer active condition  $t_{PLH}=3.2\text{ns}$ ,  $t_{PHL}=1\text{ns}$ , and  $t_{PD}=2.1\text{ns}$ . Power Dissipation was  $0.125\text{mW}$ .

**Keywords**—*B<sup>2</sup>Spice*, Power Dissipation, Propagation Delay, Multiplexer-Demultiplexer, HCMOS.

**Abstrak**—Perancangan ini bertujuan untuk menganalisis dan merancang 8 Bit Multiplexer dan Demultiplexer dalam satu IC dengan menggunakan *High Speed* CMOS. Proses pengujian rangkaian ini dilakukan menggunakan program *B<sup>2</sup>Spice* dengan nilai  $C_L=5\text{pF}$ ,  $K_N=45\mu\text{A/V}^2$  dan  $K_P=18\mu\text{A/V}^2$ . Spesifikasi hasil simulasi VTC adalah  $V_{IH}=2.805\text{V}$ ;  $V_{IL}=2.695\text{V}$ ;  $V_{OH}=5\text{V}$ ;  $V_{OL}=0\text{V}$ ;  $N_{MH}=2.195\text{V}$  dan  $N_{ML}=2.695\text{V}$ . Hasil simulasi *propagation delay* pada kondisi aktif multiplexer adalah  $t_{PLH}=3.16\text{ns}$ ,  $t_{PHL}=1\text{ns}$ , dan  $t_{PD}=2.08\text{ns}$ . Sedangkan simulasi dengan kondisi aktif demultiplexer menghasilkan nilai  $t_{PLH}=3.2\text{ns}$ ,  $t_{PHL}=1\text{ns}$ , dan  $t_{PD}=2.1\text{ns}$ . Disipasi daya sebesar  $0.125\text{mW}$ .

**Kata Kunci**—*B<sup>2</sup>Spice*, Disipasi Daya, Propagation Delay, Multiplexer-Demultiplexer, HCMOS.

## I. PENDAHULUAN

Multiplexer atau selektor data adalah suatu rangkaian logika yang menerima beberapa input data dan untuk suatu saat tertentu hanya mengijinkan satu dari data input tersebut untuk diteruskan pada output. Jalur yang akan ditempuh dari input data yang diinginkan ke output dikontrol oleh pemilih input *selector* dan sebaliknya untuk prinsip kerja demultiplexer [1].

Teknologi HCMOS adalah teknologi CMOS yang didesain secara khusus sehingga memiliki *propagation delay* yang sama atau lebih baik dari TTL terutama untuk menggerakkan beban kapasitansi yang besar. Teknologi CMOS juga memiliki kelebihan lain dalam konsumsi disipasi daya yang rendah dan *noise margin* yang baik daripada teknologi TTL [2].

Penelitian yang berkaitan dengan *integrated circuit design* telah dilakukan oleh beberapa orang diantaranya adalah Daniel Kehrer [3] pada 2003 yang mendesain 2:1 Multiplexer dan 1:2 Demultiplexer dengan teknologi standard CMOS 120nm, Tibyani dan Agung

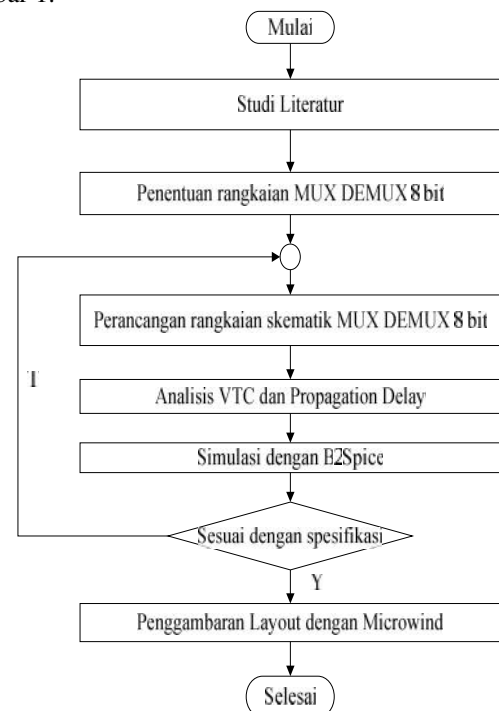
Darmawansyah [2] pada 2008 yang mendesain IC Decoder peraga matrix 7x5.

Pada penelitian yang dilakukan sebelumnya telah dirancang rangkaian multiplexer dan demultiplexer 4 bit dalam satu modul dengan menggunakan teknologi HCMOS dan diperoleh *propagation delay* yang rendah dalam orde ns [4].

Penelitian yang dilakukan kali ini adalah perancangan rangkaian multiplexer dan demultiplexer dengan teknologi HCMOS serta menggunakan data sebanyak 8 bit, karena dalam dunia telekomunikasi rangkaian ini digunakan sebagai alternatif untuk penghemat biaya penggunaan saluran komunikasi serta dijadikan sebagai suatu cara untuk mengatasi keterbatasan saluran komunikasi. Dalam perancangan diinginkan suatu hasil yang ideal dalam beberapa aspek seperti VTC (*Voltage Transfer Characteristic*), *propagation delay* yang cepat, dan disipasi daya yang rendah.

## II. METODE PENELITIAN

Metode yang digunakan dalam penelitian ini dijelaskan dalam diagram alir yang ditunjukkan dalam Gambar 1.



Gambar 1. Diagram Alir Perancangan 8 Bit Multiplexer dan Demultiplexer dalam Satu IC

### A. Desain Rangkaian

Rangkaian 8 bit multiplekser dan demultiplekser terdiri dari rangkaian 8 to 1 Multiplexer dan 1 to 8 Demultiplexer yang dibuat dalam satu rangkaian sehingga dibutuhkan suatu *Enable* yang berfungsi untuk menentukan rangkaian tersebut berfungsi sebagai multiplekser atau demultiplekser. Sesuai dengan syarat perancangan multiplekser dan demultiplekser yaitu  $m \geq n$  dimana m adalah masukan atau keluaran dan n adalah sinyal kontrol, maka untuk merancang sebuah rangkaian 8 bit multiplekser dan demultiplekser dibutuhkan sebanyak 3 buah sinyal kontrol.

Daftar kebenaran untuk rangkaian 8 bit Mux-Demux ditunjukkan dalam Tabel 1.

Tabel 1. Daftar Kebenaran Rangkaian 8 bit Mux-Demux

		Sinyal Kontrol			Multiplexer 8:1							
E	S	S	S	I	I	I	I	I	I	I	I	Y
	0	1	2	0	1	2	3	4	5	6	7	
1	0	0	0	1	-	-	-	-	-	-	-	1
1	0	0	1	-	1	-	-	-	-	-	-	1
1	0	1	0	-	-	1	-	-	-	-	-	1
1	0	1	1	-	-	-	1	-	-	-	-	1
1	1	0	0	-	-	-	-	1	-	-	-	1
1	1	0	1	-	-	-	-	-	1	-	-	1
1	1	1	0	-	-	-	-	-	-	1	-	1
1	1	1	1	-	-	-	-	-	-	-	1	1

		Sinyal Kontrol			Demultiplexer 1:8							
E	S	S	S	I	Y	Y	Y	Y	Y	Y	Y	Y
	0	1	2	n	0	1	2	3	4	5	6	7
0	0	0	0	1	1	-	-	-	-	-	-	-
0	0	0	1	1	-	1	-	-	-	-	-	-
0	0	1	0	1	-	-	1	-	-	-	-	-
0	0	1	1	1	-	-	-	1	-	-	-	-
0	1	0	0	1	-	-	-	-	1	-	-	-
0	1	0	1	1	-	-	-	-	-	1	-	-
0	1	1	0	1	-	-	-	-	-	-	1	-
0	1	1	1	1	-	-	-	-	-	-	-	1

Setelah mengetahui hubungan antara masukan dan keluaran, sinyal kontrol serta enable seperti ditunjukkan dalam Tabel 1 maka diperoleh fungsi persamaan keluaran (Y, Y0, Y1, Y2, Y3, Y4, Y5, Y6, Y7) sebagai berikut:

$$Y = EI_0S_0'S_1'S_2' + EI_1S_0'S_1'S_2 + EI_2S_0'S_1S_2' + EI_3S_0'S_1S_2 + EI_4S_0S_1'S_2' + EI_5S_0S_1'S_2 + EI_6S_0S_1S_2' + EI_7S_0S_1S_2$$

$$Y0 = EInS_0'S_1'S_2'$$

$$Y1 = EInS_0'S_1'S_2$$

$$Y2 = EInS_0'S_1S_2'$$

$$Y3 = EInS_0'S_1S_2$$

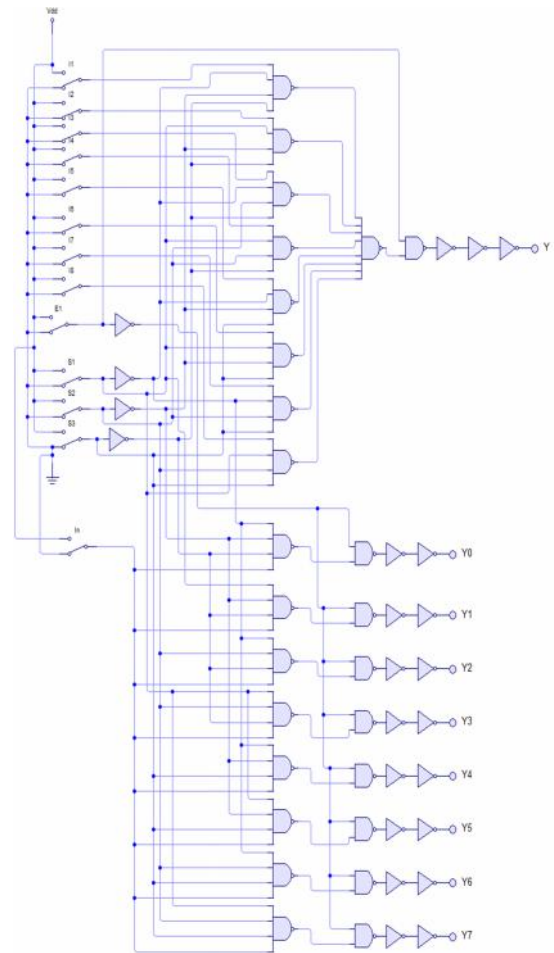
$$Y4 = EInS_0S_1'S_2'$$

$$Y5 = EInS_0S_1'S_2$$

$$Y6 = EInS_0S_1S_2'$$

$$Y7 = EInS_0S_1S_2$$

Dari fungsi persamaan keluaran (Y, Y0, Y1, Y2, Y3, Y4, Y5, Y6, Y7), diperoleh rangkaian logika penyusun IC 8Bit Mux-Demux seperti ditunjukkan dalam Gambar 2.

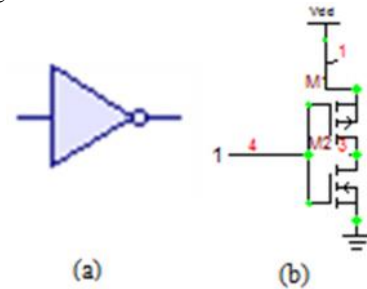


Gambar 2. Rangkaian Logika 8Bit Mux-Demux dengan Kaskada

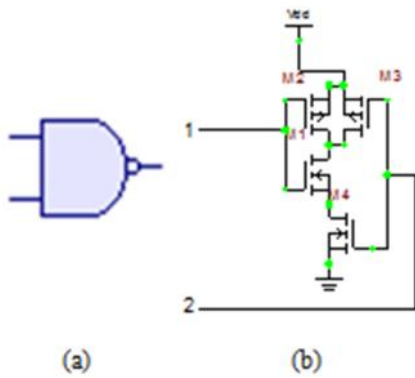
### B. Perancangan Transistor PMOS dan NMOS

Perancangan transistor untuk rangkaian 8 bit Mux-Demux dilakukan pada masing-masing gerbang penyusun IC. Rangkaian 8 bit Mux-Demux terdiri dari 5 gerbang inverter, 9 gerbang NAND 2 input, 16 gerbang NAND 4 input, 1 gerbang NAND 8 input dan 18 inverter kaskada yang mana masing-masing gerbang saling berhubungan seperti ditunjukkan dalam Gambar 2.

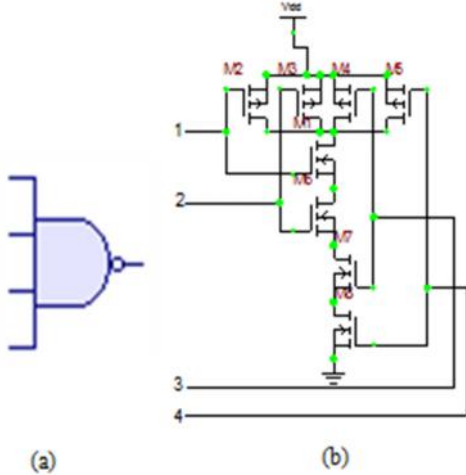
Tiap gerbang tersusun atas rangkaian transistor PMOS dan NMOS serta dibuat dengan menggunakan program *B<sup>2</sup>Spice* seperti ditunjukkan dalam Gambar 3 sampai Gambar 6. Keseluruhan transistor yang digunakan dalam rangkaian 8 bit Mux-Demux adalah 226 buah.



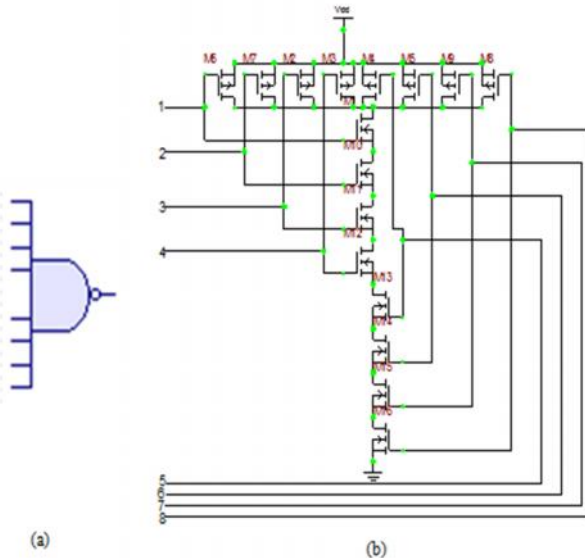
Gambar 3. (a) Rangkaian Logika Inverter (b) Rangkaian Transistor Inverter (*Software B<sup>2</sup>Spice*)



Gambar 4. (a) Rangkaian Logika NAND 2 Input (b) Rangkaian Transistor NAND 2 Input (Software B<sup>2</sup>Spice)



Gambar 5. (a) Rangkaian Logika NAND 4 Input (b) Rangkaian Transistor NAND 4 Input (Software B<sup>2</sup>Spice)



Gambar 6. (a) Rangkaian Logika NAND 8 Input (b) Rangkaian Transistor NAND 8 Input (Software B<sup>2</sup>Spice)

### C. Desain Nilai W/L

Dalam merancang IC HCMOS terdapat beberapa parameter proses yang telah diketahui nilai dan satuannya yang mana parameter ini digunakan untuk lebih mendekati karakter *device* dan mempermudah proses analisis. Beberapa parameter dasar tersebut ditunjukkan dalam Tabel 2 yang merupakan parameter *owner's manual* dan *rule file* dalam perangkat lunak *Microwind2* dengan teknologi 0.12μm CMOS proses ( $\lambda = 0.06\mu\text{m}$ ).

Tabel 2. Parameter Desain Transistor CMOS

Simbol	NMOS	PMOS	Keterangan
$\epsilon_{\text{ox}}$	$2.3 \times 10^{-23} \text{F/cm}$		Konstanta dielektrik polisilikon
$\mu_e/\mu_n$	580 $\text{cm}^2/\text{V.s}$	-	Mobilitas rata-rata elektron dalam saluran antara <i>drain</i> dan <i>source</i>
$\mu_h/\mu_p$	-	230 $\text{cm}^2/\text{V.s}$	Mobilitas rata-rata <i>hole</i> dalam saluran antara <i>drain</i> dan <i>source</i>
$V_T$	1V	-1V	Tegangan ambang pada PMOS dan NMOS
$\gamma$	$0.4\text{V}^{0.5}$		Gamma, <i>Bulk threshold parameter</i>
$2\Phi_F$	0.3V		Phi, <i>surface potential at strong inversion</i>
$t_{\text{ox}}$	15nm		Ketebalan oksida gerbang ( <i>Gate</i> )
$V_{DD}$	5V		Tegangan catu
$K_n$	$300\mu\text{A}/\text{V}^2$	-	Parameter transkonduktansi transistor NMOS
$K_p$	-	$120\mu\text{A}/\text{V}^2$	Parameter transkonduktansi transistor PMOS

(Sumber: *Owner's manual Microwind2*)

Parameter nilai dari Tabel 2 digunakan untuk Persamaan 1 dan 2 guna mendapatkan nilai W dan L [6].

$$k_R = \frac{K_n}{K_p} \quad (1)$$

$$\frac{K_n}{K_p} = \frac{\mu_n C_{\text{ox}} \left(\frac{W}{L}\right)_n}{\mu_p C_{\text{ox}} \left(\frac{W}{L}\right)_p} \quad (2)$$

Nilai W dan L gerbang-gerbang dasar adalah sebagai berikut:

$$W_P = 15\lambda = 0.9\mu\text{m} \text{ dan } L_P = 2\lambda = 0.12\mu\text{m}$$

$$W_N = 6\lambda = 0.36\mu\text{m} \text{ dan } L_N = 2\lambda = 0.12\mu\text{m}$$

Nilai W dan L untuk kaskada, yaitu:

1. Kaskada Pertama

$$W_P = W_N = 3W_{N1} = 1.08\mu\text{m} \text{ dan } L_P = L_N = 0.12\mu\text{m}$$

2. Kaskada Kedua

$$W_P = W_N = 9W_{N1} = 3.24\mu\text{m} \text{ dan } L_P = L_N = 0.12\mu\text{m}.$$

### D. Analisis VTC dan Noise Margin

Untuk mendapatkan nilai  $V_{IL}$ ,  $V_{OH}$ ,  $V_{IH}$  dan  $V_{OL}$  digunakan persamaan 3 sampai 8 [6].

#### 1. Analisis $V_{IL}$ dan $V_{OH}$

Nilai  $V_{IL}$  adalah nilai tegangan masukan maksimum yang dapat dinyatakan sebagai logika 0. Untuk menentukan besarnya  $V_{IL}$  dapat menggunakan Persamaan 3, yaitu:

$$V_{IL} = \frac{2V_{out} + V_{T,p} - V_{DD} + k_R V_{T,n}}{1 + k_R} \quad (3)$$

Dalam perancangan, nilai  $k_R \approx 1$  dengan nilai  $V_{T,n} = 1$  V dan  $V_{T,p} = -1$  V maka diperoleh fungsi  $V_{IL}$  sebagai fungsi  $V_{OUT}$  adalah:

$$V_{IL} = \frac{2V_{OUT} - 1 - 5 + (1)(1)}{1 + 1} = \frac{2V_{OUT} - 5}{2}$$

$$V_{IL} = V_{OUT} - 2,5 \text{ atau } V_{OUT} = V_{IL} + 2,5 \quad (4)$$

Substitusi Persamaan (4) ke dalam Persamaan (5):

$$\frac{k_n}{2}(V_{in} - V_{T,n})^2 = \frac{k_p}{2}[2(V_{in} - V_{DD} - V_{T,p})(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2] \quad (5)$$

Dengan  $k_n = k_p$ ,  $V_{in} = V_{IL}$  dan  $V_{out} = V_{IL} + 2.5$  maka

$$(V_{IL} - 1)^2 = [2(V_{IL} - 5 + 1)(V_{IL} + 2.5 - 5) - (V_{IL} + 2.5 - 5)^2]$$

$$V_{IL}^2 - 2V_{IL} + 1 = 2(V_{IL} - 4)(V_{IL} - 2.5) - (V_{IL} - 2.5)^2$$

$$V_{IL}^2 - 2V_{IL} + 1 = V_{IL}^2 - 8V_{IL} + 13.75$$

$$6V_{IL} = 12.75$$

$$V_{IL} = 2.125V$$

Dari Persamaan (4), maka tegangan keluaran ketika masukan  $V_{IL}$  adalah:

$$V_{OUT} = V_{IL} + 2.5 = 2.125V + 2.5V = 4.625V$$

Jadi tegangan keluaran minimum yang dapat dinyatakan sebagai logika 1 ( $V_{OH}$ ) adalah 4.625V

## 2. Analisis $V_{IH}$ dan $V_{OL}$

$V_{IH}$  merupakan nilai tegangan masukan minimum yang dapat dinyatakan sebagai logika 1. Untuk menentukan besarnya  $V_{IH}$  menggunakan Persamaan (6), yaitu:

$$V_{IH} = \frac{V_{DD} + V_{T,p} + k_R(2V_{out} + V_{T,n})}{1 + k_R} \quad (6)$$

Sesuai dengan perancangan, maka nilai  $k_R \approx 1$ ,  $V_{T,n} = 1V$  dan  $V_{T,p} = -1V$  sehingga diperoleh fungsi  $V_{IL}$  sebagai fungsi  $V_{OUT}$  adalah

$$V_{IH} = \frac{5 - 1 + 1(2V_{OUT} + 1)}{1 + 1} = \frac{5 + 2V_{OUT}}{2}$$

$$V_{IH} = 2.5 + V_{OUT} \text{ atau } V_{OUT} = V_{IH} - 2.5 \quad (7)$$

Substitusi Persamaan (7) ke dalam Persamaan (8) yaitu:

$$\frac{k_n}{2}[2(V_{in} - V_{T,n})V_{out} - V_{out}^2] = \frac{k_p}{2}(V_{in} - V_{DD} - V_{T,p}) \quad (8)$$

Dengan nilai  $K_n = K_p$ ,  $V_{in} = V_{IH}$ , dan  $V_{OUT} = V_{IH} - 2.5$  maka

$$\frac{1}{2}[2(V_{IH} - 1)(V_{IH} - 2.5) - (V_{IH} - 2.5)^2] = \frac{1}{2}(V_{IH} - 5 + 1)^2$$

$$[2(V_{IH}^2 - 3.5V_{IH} + 2.5) - (V_{IH} - 2.5)^2] = (V_{IH} - 4)^2$$

$$6V_{IH} = 17.25$$

$$V_{IH} = 2.875V$$

Dari Persamaan (7) maka

$$V_{OUT} = V_{IH} - 2.5 = 2.875 - 2.5 = 0.375V$$

Jadi tegangan keluaran maksimum yang dapat dinyatakan sebagai logika 0 adalah 0.375V

## E. Analisis Propagation Delay dan Disipasi Daya

Untuk mengetahui besarnya *propagation delay* dari rangkaian maka dilakukan perhitungan  $t_{PLH}$ ,  $t_{PHL}$ ,  $t_r$ ,  $t_f$ , dan  $t_{PD}$  dengan menggunakan Persamaan 9 sampai 12 [7].

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_p C_{ox} \left( \frac{W}{L} \right)_p \cdot V_{DD}} \quad (9)$$

$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_n C_{ox} \left( \frac{W}{L} \right)_n \cdot V_{DD}} \quad (10)$$

$$t_r = t_{TLH} = 2 \times t_{PLH} \quad (11)$$

$$t_f = t_{THL} = 2 \times t_{PHL} \quad (12)$$

Setelah mengetahui besarnya *propagation delay*, analisis dilanjutkan dengan perhitungan disipasi daya menggunakan Persamaan (13) dan (14) [6].

$$P_D = C_L V_{DD}^2 f \quad (13)$$

$$P_{DP} = t_{PD} \cdot P_D \quad (14)$$

## III. HASIL DAN PEMBAHASAN

### A. Propagation Delay

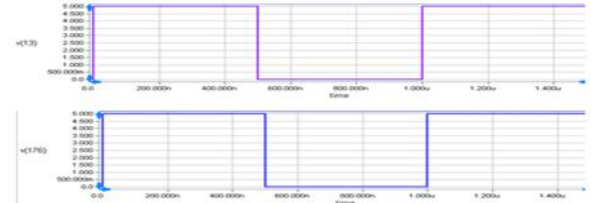
Semakin kecil nilai *propagation delay* maka kecepatan proses suatu IC juga semakin baik. Untuk mendapatkan keluaran yang simetris maka digunakan Persamaan (9), (10), (11) dan (12). Dikehendaki nilai *propagation delay* sebesar 12ns, maka IC dirancang dengan menggunakan nilai  $K_N = 45 \mu A/V^2$  dan  $K_P = 18 \mu A/V^2$  dengan nilai  $C_L = 5pF$  maka diperoleh  $t_{PLH} = 12ns$ ,  $t_{PHL} = 12ns$ ,  $t_r = 24ns$ ,  $t_f = 24ns$  dan  $t_{PD} = 12ns$ .

Proses simulasi juga dilakukan dengan beberapa variasi kapasitor. Hasil simulasi dan perhitungan dengan  $C_L = 15pF$  dan 50 pF dibandingkan dengan nilai pada Datasheet IC DM74LS151, IC MC74HC151A, IC 74LS138, dan IC MC74HC138A dan hasilnya ditunjukkan dalam Tabel 3.

Tabel 3. Data Perbandingan untuk  $t_{PD}$ , PD dan PDP Berdasarkan Datasheet dengan Hasil Simulasi dan Perhitungan

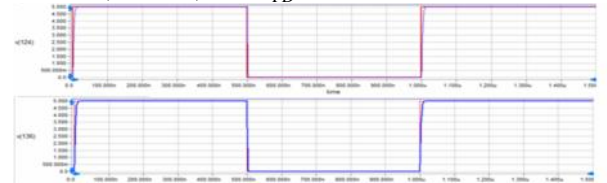
Parameter	DM74LS151	MC74HC151A	Simulasi		Perhitungan	
	$C_L = 15pF$	$C_L = 50pF$	$C_L = 15pF$	$C_L = 50pF$	$C_L = 15pF$	$C_L = 50pF$
$t_{PD}$ (ns)	12.5	34	5.159	14.318	35.5	118.5
PD (mW)	30	500	0.375	1.25	0.375	1.25
PDP (pJ)	375	17000	1.9346	17.8975	13.3125	148.125
Parameter	74LS138	MC74HC138A	Simulasi		Perhitungan	
	$C_L = 15pF$	$C_L = 50pF$	$C_L = 15pF$	$C_L = 50pF$	$C_L = 15pF$	$C_L = 50pF$
$t_{PD}$ (ns)	20	27	5.6255	14.0305	35.5	118.5
PD (mW)	32	500	0.375	1.25	0.375	1.25
PDP (pJ)	640	13500	1.97456	17.538	13.3125	148.125

*Propagation delay* hasil simulasi menggunakan  $B^2Spice$  dengan kondisi aktif multiplexer pada  $C_L = 5pF$  memperoleh nilai  $t_{PLH} = 3.16ns$ ,  $t_{PHL} = 1ns$ ,  $t_r = 6.318ns$ ,  $t_f = 3ns$ , dan  $t_{PD} = 2.08ns$  ditunjukkan dalam Gambar 7.



Gambar 7. Grafik Unit Step pada Kondisi Aktif Multiplexer dengan  $C_L = 5pF$ . Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) hasil simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

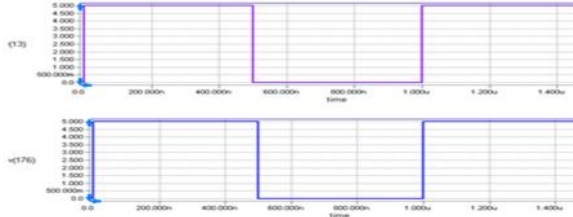
Sedangkan nilai *propagation delay* hasil simulasi menggunakan  $B^2Spice$  dengan kondisi aktif demultiplexer pada  $C_L = 5pF$  ditunjukkan dalam Gambar 8 dan diperoleh  $t_{PLH} = 3.2ns$ ,  $t_{PHL} = 1ns$ ,  $t_r = 6.122ns$ ,  $t_f = 3ns$ , serta  $t_{PD} = 2.1ns$ .



Gambar 8. Grafik Unit Step pada Kondisi Aktif Demultiplexer dengan  $C_L = 5pF$ . Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) hasil simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

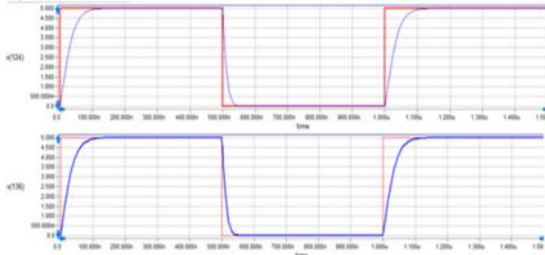


Nilai *propagation delay* hasil simulasi menggunakan *B<sup>2</sup>Spice* dengan kondisi aktif multiplexer  $C_L=50\text{pF}$  adalah  $t_{PLH}=22.636\text{ns}$ ,  $t_{PHL}=6\text{ns}$ ,  $t_r=59.478\text{ns}$ ,  $t_f=19\text{ns}$ , dan  $t_{PD}=14.318\text{ns}$  ditunjukkan dalam Gambar 9.



Gambar 9. Grafik Unit Step pada Kondisi Aktif Multiplexer dengan  $C_L=50\text{pF}$ . Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) hasil simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

Gambar 10 menunjukkan hasil simulasi *propagation delay* menggunakan *B<sup>2</sup>Spice* dengan kondisi aktif demultiplexer  $C_L=5\text{pF}$ , dengan nilai  $t_{PLH}=23.061\text{ns}$ ,  $t_{PHL}=5\text{ns}$ ,  $t_r=59.061\text{ns}$ ,  $t_f=19\text{ns}$ , dan  $t_{PD}=14.0305\text{ns}$ .



Gambar 10. Grafik Unit Step pada Kondisi Aktif Demultiplexer dengan  $C_L=50\text{pF}$ . Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) hasil simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

Dari grafik pada Gambar 7 dan 8 didapatkan *propagation delay* yang lebih baik dan grafik yang lebih simetris daripada Gambar 9 dan Gambar 10, hal ini terjadi karena adanya perbedaan pada nilai  $C_L$  yang mana semakin besar nilai  $C_L$  maka *propagation delay* yang didapatkan juga semakin besar sehingga dalam grafik terlihat adanya lengkungan atau dapat dikatakan grafik yang dihasilkan tidak simetris.

Berdasarkan hasil simulasi dengan variasi nilai  $C_L$  seperti yang telah ditunjukkan dalam Gambar 7 sampai Gambar 10, maka ditetapkan nilai  $C_L$  yang digunakan sebesar  $5\text{pF}$  karena memiliki *propagation delay* yang cepat dan grafik yang simetris.

Hasil perancangan dan simulasi memiliki nilai *propagation delay* yang berbeda yang mana hasil simulasi menunjukkan nilai *propagation delay* yang lebih cepat dibandingkan dengan hasil perhitungan, hal ini terjadi karena pada saat perhitungan hanya menggunakan parameter yang terbatas dan simulasi yang dilakukan dengan program *B<sup>2</sup>Spice* menggunakan transistor level 1 yang merupakan transistor dengan kondisi ideal.

#### B. Noise Margin

Hasil perhitungan VTC dengan menggunakan Persamaan (3) sampai Persamaan (8) serta hasil simulasi dengan menggunakan *B<sup>2</sup>Spice* diperoleh hasil seperti ditunjukkan dalam Tabel 4.

Perhitungan Error dilakukan dengan menggunakan Persamaan 15[9].

$$e = Y_n - X_n \quad (15)$$

Tabel 4. VTC Hasil Simulasi dan Perhitungan

Parameter	Perhitungan	Simulasi	Error
$V_{IH}$ (V)	2.875	2.805	0.07
$V_{IL}$ (V)	2.125	2.695	0.57
$V_{OH}$ (V)	4.625	5	0.375
$V_{OL}$ (V)	0.375	0	0.375
$N_{MH}$ (V)	1.75	2.195	0.445
$N_{ML}$ (V)	1.75	2.695	0.945

Perbedaan antara hasil simulasi dan hasil perhitungan terjadi karena proses perhitungan dilakukan dengan menggunakan parameter yang terbatas.

#### C. Power Dissipation

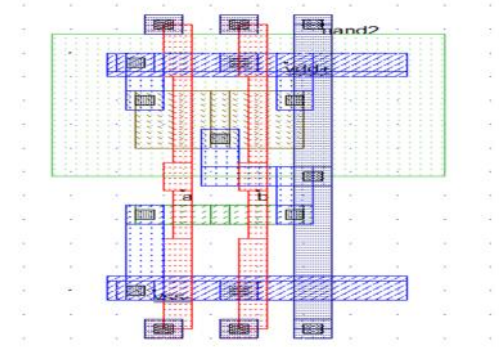
Nilai disipasi daya perhitungan diperoleh dengan menggunakan Persamaan(13) dan (14). Dengan memasukkan nilai  $t_{PD}=12\text{ns}$  dan  $C_L=5\text{pF}$  maka didapatkan  $P_D = 0.125\text{ mW}$  dan  $P_{DP}=1.5\text{pJ}$ .

Hasil simulasi dengan menggunakan *B<sup>2</sup>Spice* pada kondisi aktif multiplexer dengan nilai  $t_{PD}= 2.08\text{ns}$  dan  $C_L=5\text{pF}$  adalah nilai  $P_D=0.125\text{mW}$  dan  $P_{DP}=0.26\text{pJ}$ .

Hasil simulasi dengan menggunakan *B<sup>2</sup>Spice* pada kondisi aktif demultiplexer dengan nilai  $t_{PD}= 2.1\text{ns}$  dan  $C_L=5\text{pF}$  yaitu nilai  $P_D=0.125\text{mW}$  dan  $P_{DP}=0.2625\text{pJ}$ .

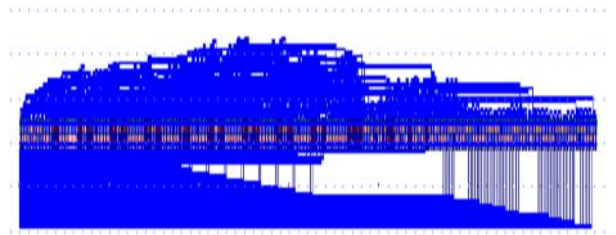
#### D. Proses Penggambaran Layout

Penggambaran *layout* dilakukan dengan menggunakan program *Microwind2* dengan teknologi  $0.12\mu\text{m}$  CMOS proses ( $\lambda = 0.06\mu\text{m}$ ).



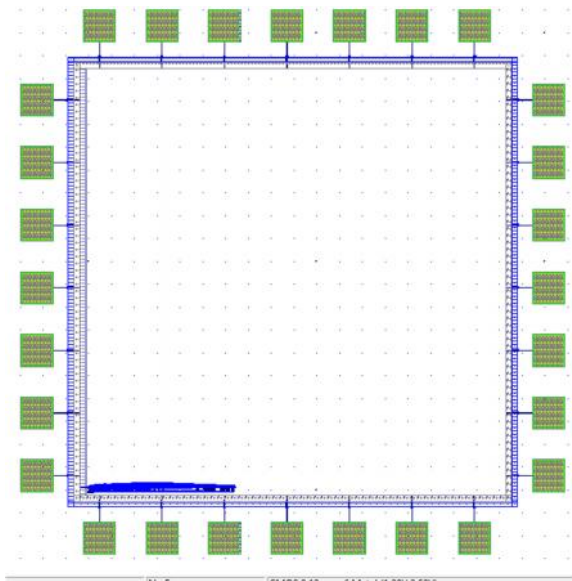
Gambar 11. Layout untuk Gerbang NAND 2 Input

Gambar 11 menunjukkan *layout* dari salah satu gerbang penyusun rangkaian 8 bit Mux-Demux yaitu gerbang NAND 2 Input. *Layout* secara keseluruhan dari rangkaian 8 bit Mux-Demux ditunjukkan dalam Gambar 12.



Gambar 12. Layout Rangkaian 8 Bit Mux-Demux Tanpa Pad I/O

Gambar 13 merupakan *layout* rangkaian 8 Bit Mux-Demux dengan menggunakan Pad I/O.



Gambar 13. Layout dengan Pad I/O

IC 8 Bit Multiplekser dan Demultiplekser HCMOS mempunyai *layout* tanpa pad I/O dengan luasan  $385.6\mu\text{m} \times 25.7\mu\text{m}$  dan menggunakan pad I/O dengan luasan  $1430.5\mu\text{m} \times 1430.5\mu\text{m}$ .

#### IV. KESIMPULAN DAN SARAN

##### A. Kesimpulan

1. IC 8 Bit Multiplekser dan Demultiplekser HCMOS dirancang dengan nilai *propagation delay* 12ns pada  $C_L = 5\text{pF}$  sehingga disipasi daya sebesar 0.125mW.
2. Simulasi IC 8 Bit Multiplekser dan Demultiplekser HCMOS dengan menggunakan B2Spice pada  $C_L = 5\text{pF}$  menghasilkan nilai *propagation delay* yang lebih kecil daripada perhitungan yaitu sebesar 2.1ns pada kondisi aktif Demultiplekser dan 2.08ns pada kondisi aktif Multiplekser.
3. Hasil perancangan dan simulasi IC 8 Bit Multiplekser dan Demultiplekser HCMOS dengan membandingkan pada nilai kapasitansi yang sama ( $C_L = 15\text{pF}$  untuk TTL dan  $C_L = 50\text{pF}$  untuk CMOS) diperoleh nilai *propagation delay* dan disipasi daya yang lebih baik daripada IC DM74LS151 ( $t_{PD}=12.5\text{ns}$  dan  $P_{DP}=375\text{pJ}$ ) [10], IC MC74HC151A ( $t_{PD}=34\text{ns}$  dan  $P_{DP}=17000\text{pJ}$ ) [11], IC 74LS138 ( $t_{PD}=20\text{ns}$  dan  $P_{DP}=640\text{pJ}$ ) [12] dan IC MC74HC138A ( $t_{PD}=27\text{ns}$  dan  $P_{DP}=13500\text{pJ}$ ) [13].

##### B. Saran

Penelitian ini menggunakan transistor level 1 pada B<sup>2</sup>Spice yang merupakan transistor sederhana dengan kondisi ideal sehingga penelitian selanjutnya dapat dikembangkan dengan menggunakan transistor level 2 atau level 3 yang lebih kompleks.

#### REFERENSI

- [1] Mismail, Budiono. 1998. *Dasar-Dasar Rangkaian Logika Digital*. Bandung: Penerbit ITB
- [2] Darmawansyah, Tibyani. Mei 2008. Perancangan IC Decoder Peraga Matriks 7 x 5 CMOS menggunakan Program Mikrowin. *Jurnal Sains dan Teknologi EMAS*, Vol. 18, No. 2
- [3] Kehr, Wohlmuth, Hnapp, Wurzer, Scholtz. November 2003. 40-Gb/s 2:1 Multiplexer and 1:2 Demultiplexer in 120-nm Standard CMOS. *IEEE Journal of Solid State Circuits*, Vol. 38, No. 11.
- [4] Darmawansyah, Julius, Stefanie. Mei 2012. Rangkaian Terpadu 4 Bit Multiplexer-Demultiplexer (Multidem) HCMOS 0.12 $\mu\text{m}$  dengan Kaskada Dua Tingkat. *Proceeding EECCIS 2012*.
- [5] Hodges, David A., Jackson, Horace G. 1987. *Analisis dan Desain Rangkaian Terpadu Digital*. Alih Bahasa Nasution, Sofyan. Jakarta: Erlangga.
- [6] Kang, Sung-Mo, Leblebici, Yusuf. 1996. *CMOS Digital Integrated Circuits : Analysis and Design Second Edition*. Singapore: McGraw-Hill Book Co.
- [7] Rabaey, Jan M., dkk. 1999. *Digital Integrated Circuits a Design Perspective Second Edition*. New Jersey: Prentice Hall Electronics and VLSI series
- [8] Geiger, Randall L., dkk. 1990. *VLSI Design Techniques For Analog and Digital Circuits*. Singapore: McGraw-Hill Book Co.
- [9] Rif'an, Moch. 2004. *Diklat Kuliah Pengukuran Besaran Elektrik*. Malang: Jurusan teknik Elektro Universitas Brawijaya.
- [10] Fairchild Semiconductor. 2000. *ID Series Datasheet*. [www.alldatasheet.com](http://www.alldatasheet.com). Diakses tanggal 11 Maret 2014.
- [11] On Semiconductor. 2013. [www.onsemi.com](http://www.onsemi.com). Diakses tanggal 11 Maret 2014.
- [12] Motorola Semiconductor Corporation. 2000. [www.datasheetcatalog.com](http://www.datasheetcatalog.com). Diakses tanggal 11 Maret 2014.
- [13] On Semiconductor. 2013. [www.onsemi.com](http://www.onsemi.com). Diakses tanggal 11 Maret 2014.